

(19) 日本国特許庁 (J P)

(12) 登録実用新案公報 (U)

(11) 実用新案登録番号

実用新案登録第3067850号  
(U3067850)

(45) 発行日 平成12年4月11日 (2000. 4. 11)

(24) 登録日 平成12年1月26日 (2000. 1. 26)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

G 0 1 R 31/316  
31/28  
31/319  
35/00

G 0 1 R 31/28  
35/00  
31/28

C  
L  
H  
P  
R

評価書の請求 未請求 請求項の数 2 O L (全 14 頁)

(21) 出願番号

実願平11-7465

(22) 出願日

平成11年9月30日 (1999. 9. 30)

(73) 実用新案権者 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 考案者 三浦 稔幸

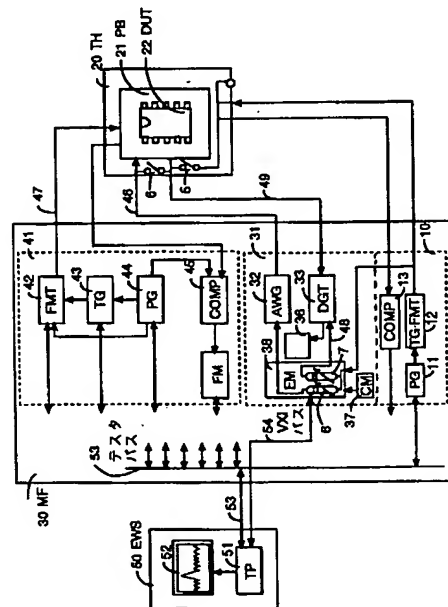
東京都練馬区旭町1丁目32番1号 株式会  
社アドバンテスト内

(54) 【考案の名称】 半導体試験装置

(57) 【要約】

【課題】 ロジックのクロックに同期したアナログ試験を行う際のロジックのクロックとアナログ試験用のサンプリングパルスとのスキューを調整できる半導体試験装置。

【解決手段】 ①テストプロセッサで装置全体の制御を行いアナログ測定部を有する半導体試験装置であって、②パルス信号を生成するステート・トリガ発生手段と、③ステート・トリガ伝送ラインで伝送されたパルス信号をテストヘッドにおいてD/A出力の伝送路に接続するスイッチと、④スイッチとD/A出力の伝送路とを介して入力されるパルス信号をイベント・マスタから伝送されサンプリングパルスでA/D変換するデジタイザと、⑤ステート・トリガ発生手段のパルス信号を分岐してイベント・マスタに与え、パルス信号を遅延させてAWG又はデジタイザのサンプリングパルスとする可変遅延回路と、⑥可変遅延回路の遅延量を変化させ入力されるパルス信号とサンプリングパルスの立ち上がりを一致させる制御部とを具備している。



## 【実用新案登録請求の範囲】

【請求項1】 テストプロセッサで装置全体の制御を行い、アナログ測定部を有する半導体試験装置において、パルス信号を生成し、ステート・トリガ伝送ラインでテストヘッドに伝送してステート・トリガ端子にパルス信号を供給するステート・トリガ発生手段と、

ステート・トリガ伝送ラインのパルス信号をテストヘッドにおいてD/A出力の伝送路に接続する第1スイッチと、

第1スイッチとD/A出力の伝送路とを介して入力されるパルス信号をイベント・マスタから伝送されサンプリングパルスでアナログ・デジタル変換するデジタイザと、

ステート・トリガ発生手段で生成したパルス信号を分岐してイベント・マスタに与え、パルス信号を所定に遅延させてAWG又はデジタイザのサンプリングパルスとするイベント・マスタ内に設けた第1可変遅延回路と、

第1遅延回路の遅延量を変化させてサンプリングパルスの位相を変化させ、D/A出力の伝送路を介して入力されるパルス信号とサンプリングパルスの立ち上がりを一

致させる制御部と、  
を具備し、DUTのテストに先立ってデジタイザでの入力パルスとサンプリングパルスとのスキューを調整することを特徴とする半導体試験装置。

【請求項2】 請求項1記載の半導体試験装置に加えて、

ステート・トリガ発生手段で生成したパルス信号を分岐しイベント・マスタに与えられたパルス信号を所定に遅延させて任意波形発生器のクロック信号とするイベント・マスタ内に設けた第2可変遅延回路と、

第2可変遅延回路で遅延されたクロック信号でもって任意波形発生器で生成した矩形波信号の出力信号をAWG出力の伝送路を介してテストヘッドに伝送し、テストヘッドにおいてD/A出力の伝送路に接続する第2スイッチと、

第2スイッチとD/A出力の伝送路とを介してデジタイザに伝送される矩形波信号を第2遅延回路の遅延量を変化させて矩形波信号の位相を変化させ、デジタイザに与えられるサンプリングパルスとの立ち上りを一致させる制御部と、

を具備し、DUTのテストに先立って任意波形発生器に与えるクロック信号とデジタイザに与えるサンプリングパルスとのスキューを調整することを特徴とする半導体

## 試験装置。

## 【図面の簡単な説明】

【図1】 本考案の一実施例の構成図である。

【図2】 従来の構成図の一例である。

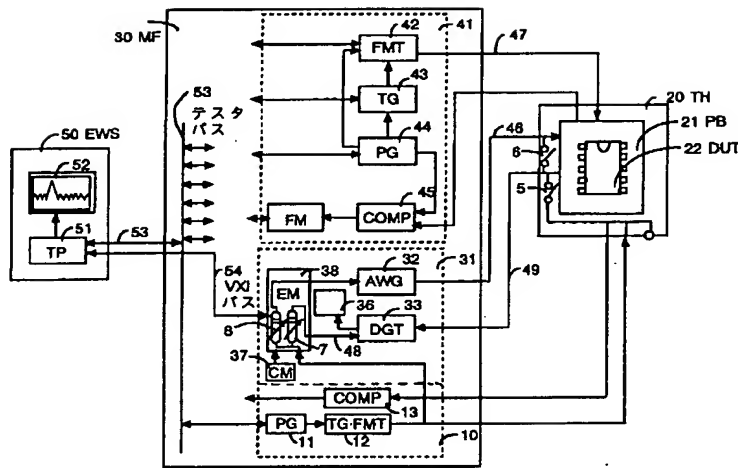
【図3】 DUT22であるミクスドLSIを試験する概念図である。

【図4】 本装置のスキューを説明する説明図である。

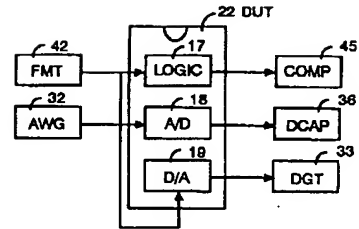
## 【符号の説明】

- 5 第1スイッチ
- 6 第2スイッチ
- 7 第1可変遅延回路
- 8 第2可変遅延回路
- 10 ステート・トリガ発生手段
- 11 トリガ用PG
- 13 デジタルコンパレータ (COMP)
- 17 ロジック部門
- 18 A/Dコンバータ部門
- 19 D/Aコンバータ部門
- 20 テストヘッド (TH)
- 21 パフォーマンスボード (PB)
- 22 DUT (被試験デバイス)
- 30 メインフレーム (MF)
- 31 アナログ測定部
- 32 任意波形発生器 (AWG; Arbitrary Waveform Generator)
- 33 デジタイザ (DGT; Digitizer)
- 36 データメモリ (DCAP; Data Capture)
- 37 クロック・マスタ (CM)
- 38 イベント・マスタ (EM)
- 41 デジタル測定部
- 42 波形成型器 (FMT)
- 43 タイミング発生器 (TG)
- 44 パターン発生器 (PG)
- 45 パターン比較器 (COMP)
- 46 AWG出力の伝送路
- 47 論理データの伝送路
- 48 サンプリングパルスの伝送路
- 49 D/A出力の伝送路
- 50 ワーク・ステーション (EWS)
- 51 テストプロセッサ (TP)
- 52 表示部
- 53 テスタバス
- 54 VXLバス

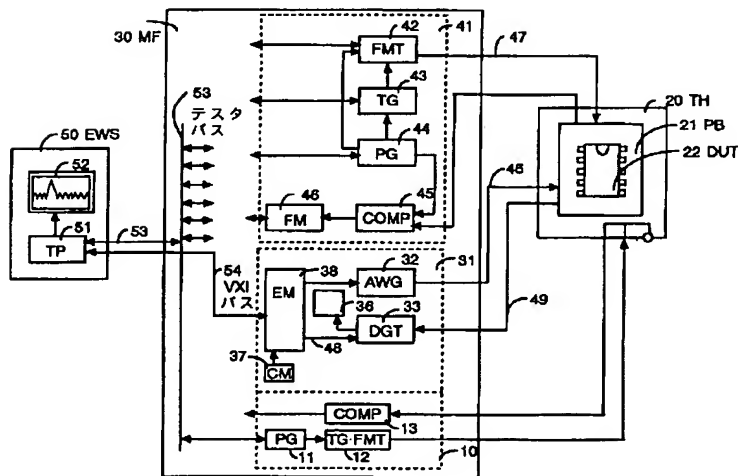
【図1】



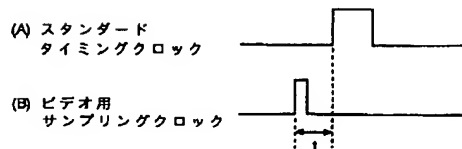
【図3】



【図2】



【図4】



## 【考案の詳細な説明】

## 【0001】

## 【考案の属する技術分野】

この考案は、アナログLSI（大規模集積回路）やミクストLSIを試験するためのアナログ測定部を有する半導体試験装置であって、例えば、D/Aコンバータ（デジタル・アナログ変換器）を有するDUT（被試験デバイス）に与える論理データのクロックによる応答信号と、アナログ測定部のイベント・マスタからアナログ・モジュールに与えるアナログ系のクロックとの位相差、つまりスキューを最小に調整できる半導体試験装置に関する。

## 【0002】

ここで位相差、つまりスキューについて若干説明する。図4（A）に示すように、スタンダード・タイミングクロックの立ち上がりに対して、図4（B）の、例えばビデオ用サンプリング・クロックの波形の立ち上がり時に位相差、つまり時間差 $t$ が生じている。この、時間差 $t$ をスキューと言うことにする。この明細書では、基準クロック信号と注目クロック信号との時間差 $t$ をスキューと言うことにする。このスキューは基準クロック信号に対して進み（+）方向と遅れ（-）方向に生じることがある。

## 【0003】

## 【従来の技術】

半導体LSIの発展はめざましく、以前はLSIの機能毎にロジックLSIやメモリLSIやアナログLSI等に分類されていて、現在でもそれぞれ存在するが、更に「ミクストLSI」としてロジック部やメモリ部やアナログ部等が統合されたLSIも出現している。例えば1チップのテレビ用LSIやオーディオ用LSIや通信用LSIのMODEMやCODEC等が典型的な「ミクストLSI」のデバイスと云えよう。つまりミクストLSIは、ロジック部門に加えてA/DコンバータやD/Aコンバータ等のアナログ部門とメモリ部門とを混在したLSIである。

## 【0004】

上記のミクストLSIを試験するためにミクスト半導体試験装置がある。アナログLSIのみを試験するためのアナログ半導体試験装置もある。更に、最近で

はデジタル半導体試験装置にアナログ回路の試験も行う部門を装備した総合的な半導体試験装置も開発されている。本明細書では、これらを総称して「半導体試験装置」ということにする。まず、従来のいわゆるミクスド半導体試験装置について説明する。

#### 【0005】

図2に従来の半導体試験装置の概略ブロック図を、図3にミクスドLSIであるDUT22を測定する概念図を、図4には前述したいわゆるスキューと呼ばれる2つのクロックの位相差を説明する図を示す。図2を主に用いて説明する。この半導体試験装置を大きく分類すると、ワーク・ステーション(EWS)50と、メインフレーム(MF)30と、テストヘッド(TH)20とから構成されている。

#### 【0006】

ワーク・ステーション50は、オペレータが操作するところであって、テストプロセッサ51や表示部52や、図示していないがキーボードなどの入出力手段を有している。テストプロセッサ51は装置全体の制御を行い、テストバス53やVXIバス54を介して各ユニットに制御信号を与える。VXIバス54は、米国で標準化が進んでいるモジュール型計測器用のシステム・バスであって、これを導入したのは異なるメーカーのモジュールやプリント基板を組み合わせでアナログ測定部31のシステムが容易に構成することができるからである。従って、全てのユニットやモジュールを自社製にすると、必ず必要なバスではなくテストバス53のみで構成しても良い。また、テストプロセッサ51はメインフレーム30に設けてもよいが、このときもワーク・ステーション50でテストプロセッサ51を駆動する。

#### 【0007】

メインフレーム30は、この半導体試験装置の主構成を成すところであって、主にアナログ測定部31とデジタル測定部41とがある。メインフレーム30内のアナログ測定部31の各ユニットや各モジュールには、例えばVXIバス54でもって、デジタル測定部41の各ユニットにはテストバス53でもって、それぞれテストプロセッサ51と結ばれ、データの授受を行っている。

それぞれについて簡単に説明する。

#### 【0008】

アナログ測定部31には、任意のアナログ波形信号を発生する任意波形発生器(AWG; Arbitrary Waveform Generator) 32や、アナログ信号をデジタル信号に変換するデジタイザ(DGT; Digitizer) 33や、その他ハイレベル基準電圧発生器やローレベル基準電圧発生器等々の複数のアナログ・モジュールで構成されている。イベント・マスタ(EM; Event Master) 38は、これら複数のアナログ・モジュール等の動作を制御している。

#### 【0009】

本明細書で、イベント・マスタ(EM) 38とは、クロック・マスタ(CM; Clock Master) 37からの数種類のクロック信号から所定のクロック信号を直接にあるいは分周して、クロック信号のバースト波を並列して数種類生成し、並列に設置した複数のマルチプレクサを介して、アナログ関係の各ユニットや各モジュールに対して並列にそれぞれ必要なスタート・ストップのシーケンス等を正確に制御して出力する部門をいう。

アナログ測定部31は本装置で生成したアナログ・テスト信号をDUT(被試験デバイス) 22に与え、DUT 22からの応答信号を処理し合否判定したりしてDUT 22のアナログ部門の測定を行う。

#### 【0010】

デジタル測定部41には、DUT 22を試験する論理パターンと期待値パターンとを生成するパターン発生器(PG) 44や、パターンのタイミングを生成するタイミング発生器(TG) 43や、論理パターンをDUT 22に与える試験信号に変換する波形整形器(FMT) 42があって、DUT 22に論理データを与え、DUT 22からの応答信号を期待値パターンと比較するパターン比較器(COMP) 45等が含まれており、主として、DUT 22のロジック部門の測定を行う。

#### 【0011】

テストヘッド20には、パフォーマンスボード(PB) 21が装着され、DUT 22にテスト信号を与えてその応答信号を受ける信号の授受を行い、DUT 2

2を試験する。パフォーマンスボード21とメインフレーム30のアナログ測定部31やデジタル測定部41との間にはそれぞれケーブルで接続されている。

#### 【0012】

図3に、ミクスドLSIであるDUT22の一例の概略構成図とそれを試験する一例の概念図を示す。

DUT22のロジック部門17には、デジタル測定部41の波形整形器42からのテスト信号が与えられ、その応答信号はコンパレータで電圧比較され、パターン比較器45で期待値パターンと比較されて良否が判定される。

#### 【0013】

A/Dコンバータ部門18にはアナログ測定部31のAWG32から任意のアナログ波形が与えられ、DUT22でデジタル化されたデジタル値をバッファメモリであるDCAP(Data Caputre)36に記憶させ、後に良否が判定される。

#### 【0014】

D/Aコンバータ部門19には、デジタル測定部41の波形整形器42から論理データが与えられて、DUT22は入力論理データ信号に対応するアナログ信号を発生する。DUT22で発生し出力されるアナログ信号は、アナログ測定部31のデジタイザ(DGT)33に伝送され、デジタイザ33でデジタル化されて良否が判定される。デジタイザ33の出力データはFFT(高速フーリエ変換)演算手段でデータ処理して良否判定することもある。DUT22には、その他の部門を有するものもあるが、説明は省略する。

#### 【0015】

いわゆるミクスド半導体試験装置には、その他に、図2に示すようにスペクトラム・アナライザ等の外部トリガ端子に与える外部測定器用のステート・トリガ(State Tigger)を供給するステート・トリガ発生手段10を設けている。ステート・トリガ発生手段10はテストバス53と接続されて、デジタル測定部41のクロック信号と同期してステート・トリガのクロック信号を発生することができる。そして、ステート・トリガの伝送ラインでテストヘッド20に供給し、テストヘッド20のステート・トリガ端子から外部測定器に供給する。

#### 【0016】

ところで図3に示すように、例えば、DUT22のD/Aコンバータ部門19のアナログ信号を発生させる論理データのタイミングはデジタル測定部41のクロックによって与えられている。その応答信号であるアナログ信号はD/A出力の伝送路49を介してデジタイザ33に与えられる。アナログ信号を解析するデジタイザ33に与えるサンプリング・クロック等のタイミングはアナログ測定部31のイベント・マスタ38からサンプリングパルスの伝送路48を介して与えている。従って、DGT33での両者のタイミングは同期が取られてなく、両者のスキューのズレは70ns(ナノ秒)~80ns程度もある。

#### 【0017】

##### 【考案が解決しようとする課題】

従来の図2の構成でもって、D/Aコンバータ部門19の2KHz前後のオーディオ関係のアナログ周波数帯では、オーディオ用のDGT33でアナログ・デジタル変換してデジタルデータを解析しても、オーディオ信号の周期時間に比べてスキューのバラツキ時間が非常に小さいので、さほど問題なくアナログ試験を行うことはできる。

#### 【0018】

しかしながら、数10MHz以上の高い周波数のビデオ用のDGT33では、ビデオ信号のアナログ信号の周期時間とスキューのバラツキ時間のオーダーが段々と近似してくるので、異なる半導体試験装置での測定値にバラツキが生じるために好ましくない。

半導体試験装置では、オーディオ信号においてもビデオ信号においても、デジタル試験用のクロックに同期したアナログ試験を行う場合に、このスキュー時間を、少なくとも、一定のスキュー時間±数nsすることが望まれる。

#### 【0019】

この考案の第1の目的は、デジタル試験用のクロックに同期したD/Aコンバータの試験を行う場合のデジタイザ33における入力信号とサンプリングパルスとのスキューを大幅に改善する装置を提供することにある。

この考案の第2の目的は、アナログ測定部の任意波形発生器(AWG)32からアナログ信号を出力してDUT22に与え、その応答信号をデジタイザ33に



与える場合に、イベント・マスク38からデジタイザ33に供給するサンプリングパルスとDUTからの応答信号のスキューを大幅に改善する装置を提供することにある。

#### 【0020】

##### 【課題を解決するための手段】

上記目的を達成するために、この考案は外部測定器用のステート・トリガの伝送ラインを用いて、DUT22の試験に先立ってスキュー時間を一定に調整する回路を設けたものである。

メインフレーム30とテストヘッド20との間は数メートル以上離れている。従って、メインフレーム30の波形整形器42から例えばDUT22のD/Aコンバータ部門19に論理データの伝送路47を介して論理データを与え、その応答信号であるアナログ信号をD/A出力の伝送路49を介してデジタイザ33に与えるまでに遅延時間が生じている。また、AWG32で発生させた任意波形をDUTに与えその応答信号をデジタイザ33に与えるまでも遅延時間が生じている。

#### 【0021】

そこで、第1目的の考案を実現するために、ステート・トリガ発生手段10でパルス信号を発生させ、ステート・トリガ伝送ラインでテストヘッド20（パフォーマンスボード21も含むものとする）に伝送させて、そのパルス信号を第1スイッチを介してD/A出力の伝送路49に接続してデジタイザ33に与えるようにする。つまり、前述した波形整形器42からDUT22に論理データを与えその応答信号をD/A出力の伝送路49でデジタイザ33に与える遅延時間と、ステート・トリガ発生手段10からのパルス信号をテストヘッド20で第1スイッチを介してD/A出力の伝送路49に接続してデジタイザ33に与えるまでの遅延時間とを等しいもの、あるいは、一定のスキュー時間とする。

#### 【0022】

一方、ステート・トリガ発生手段10で発生させたパルス信号を分岐してイベント・マスク38に与え、第1可変遅延回路を通してサンプリングパルスとしたパルス信号を、サンプリングパルスの伝送路48を介してデジタイザ33に与え

る。そして、DUT 22のテストに先立って、テストヘッド20からD/A出力の伝送路49を介して伝送されたステート・トリガのパルス信号と、イベント・マスタ38からサンプリングパルスの伝送路48を介して伝送されたサンプリングパルスとを比較する。

#### 【0023】

両パルスの比較は、D/A出力の伝送路49を介して伝送されたパルス信号を基準パルスとし、サンプリングパルスはイベント・マスタ38の第1可変遅延回路の遅延量を調整しつつ、立ち上がりが同一点の遅延量を求めて設定する。立ち上がりの同一点を求めるには、第1可変遅延回路の遅延量を徐々に変化させながらサンプリングパルスの位相を変化させ、基準パルスが“0”から“1”に変化する点を求めるとよい。

#### 【0024】

第2目的の考案を実現するためには、先ず第1目的の考案を実現させてサンプリングパルスの位相を固定し、次にステート・トリガ発生手段10で発生させ分岐してイベント・マスタ38に与えられたパルス信号を、第2可変遅延回路を通してAWG32に与えるクロック信号とする。このクロック信号でパルス信号を発生させ、AWG出力の伝送路46を介してテストヘッド20に伝送し、第2スイッチでD/A出力の伝送路49に接続させてデジタイザ33に伝送させる。

#### 【0025】

デジタイザ33では、イベント・マスタ38からサンプリングパルスの伝送路48を介して伝送されたサンプリングパルスを基準とし、第2遅延回路の遅延量を徐々に変化させながら、D/A出力の伝送路49からデジタイザ33に伝送されたパルス信号の位相を変化させて、“0”から“1”に変化する時点の遅延量を求めて設定する。

#### 【0026】

次に、この考案の構成を述べる。第1考案はテストヘッド20から伝送されデジタイザに入力される入力信号とデジタイザのサンプリングパルスとのスキューを調整できる半導体試験装置である。つまり、①テストプロセッサで装置全体の制御を行い、アナログ測定部を有する半導体試験装置であって、②パルス信号を

生成し、ステート・トリガ伝送ラインでテストヘッドに伝送してステート・トリガ端子にパルス信号を供給するステート・トリガ発生手段と、③ステート・トリガ伝送ラインのパルス信号をテストヘッドにおいてD/A出力の伝送路に接続する第1スイッチと、④第1スイッチとD/A出力の伝送路とを介して入力されるパルス信号をイベント・マスタから伝送されサンプリングパルスでアナログ・デジタル変換するデジタイザと、⑤ステート・トリガ発生手段で生成したパルス信号を分岐してイベント・マスタに与え、パルス信号を所定に遅延させてAWG又はデジタイザのサンプリングパルスとするイベント・マスタ内に設けた第1可変遅延回路と、⑥第1遅延回路の遅延量を変化させてサンプリングパルスの位相を変化させ、D/A出力の伝送路を介して入力されるパルス信号とサンプリングパルスの立ち上がりを一致させる制御部とを具備し、⑦DUTのテストに先立ってデジタイザでの入力パルスとサンプリングパルスとのスキューを調整することができる半導体試験装置である。

#### 【0027】

第2考案は、アナログ測定部31の任意波形発生器32に与えるクロック信号とデジタイザ33に与えるサンプリングパルスとのスキューを調整できる半導体試験装置である。つまり、①第1考案の半導体試験装置に加えて、②ステート・トリガ発生手段で生成したパルス信号を分岐しイベント・マスタに与えられたパルス信号を所定に遅延させて任意波形発生器のクロック信号とするイベント・マスタ内に設けた第2可変遅延回路と、③第2可変遅延回路で遅延されたクロック信号でもって任意波形発生器で生成した矩形波信号の出力信号をAWG出力の伝送路を介してテストヘッドに伝送し、テストヘッドにおいてD/A出力の伝送路に接続する第2スイッチと、④第2スイッチとD/A出力の伝送路とを介してデジタイザに伝送される矩形波信号を第2遅延回路の遅延量を変化させて矩形波信号の位相を変化させ、デジタイザに与えられるサンプリングパルスとの立ち上がりを一致させる制御部とを具備し、⑤DUTのテストに先立って任意波形発生器に与えるクロック信号とデジタイザに与えるサンプリングパルスとのスキューを調整することができる半導体試験装置である。

#### 【0028】

**【考案の実施の形態】**

考案の実施の形態を実施例に基づき図面を参照して説明する。図1に本考案の一実施例の構成図を示す。

図1の考案構成図と図2の従来構成図との相違点は、パフォーマンスボード21を含むテストヘッド20において、ステート・トリガ伝送路とD/A出力の伝送路49とを接続する第1スイッチ5と、AWG出力の伝送路46とD/A出力の伝送路49とを接続する第2スイッチ6を備える。また、ステート・トリガ発生手段10で発生させるパルス信号を分岐してイベント・マスク38に与え、このパルス信号を遅延させる第1可変遅延回路7と第2可変遅延回路8とを備え、第1可変遅延回路7の出力信号はサンプリングパルスとしてデジタイザ33に与え、また、第2可変遅延回路8の出力信号はクロック信号としてAWG32に与える。

**【0029】**

ステート・トリガ発生手段10は、デジタル測定部41の1ビット分のPG11等で構成されているので、デジタル測定部41の論理データのクロックと同期してパルスを生成することができる。また、生成したパルスをテストヘッド20に伝送するステート・トリガ伝送路の長さは、FMT42からテストヘッド20に論理データを伝送する論理データの伝送路47の長さとはほぼ同じであり、つまり遅延時間がほぼ同じと仮定する。

**【0030】**

そこで、DUT22の試験に先立って、ステート・トリガ発生手段10で生成したパルス信号をステート・トリガ伝送路でテストヘッド20に伝送し、第1スイッチ5を介してD/A出力の伝送路49に接続し、D/A出力の伝送路49を介してデジタイザ33に伝送する。

**【0031】**

一方、ステート・トリガ発生手段10で生成したパルス信号を分岐して、アナログ測定部31のイベント・マスク38にも与え、第1可変遅延回路7で遅延させたパルス信号をサンプリングパルスとしてデジタイザ33に与える。そして、サンプリングパルスの位相を第1可変遅延回路7を変化させながら、D/A出

力の伝送路49からの入力パルス測定することで、入力パルスが“0”から“1”に変化する位相点の第1可変遅延回路7の遅延量がスキューを最小にする。これが、第1考案である。

#### 【0032】

次に、AWG32に与えるクロック信号のタイミングを、第1考案の場合と同様に、デジタイザ33が入力するパルス信号とサンプリングパルスのスキューが最小になるようにして調節する。つまり、ステート・トリガ発生手段10で生成したパルス信号を分岐してアナログ測定部31のイベント・マスタ38に与えたパルス信号を第2可変遅延回路8を介してAWG32に与えるクロック信号とする。このクロック信号を用いて、AWG32はパルス信号を生成して出力する。

#### 【0033】

AWG32の出力信号は、AWG出力の伝送路46でテストヘッド20に伝送され、テストヘッド20で第2スイッチ6を介してD/A出力の伝送路49に接続され、D/A出力の伝送路49を介してデジタイザ33に与えられる。イベント・マスタ38からデジタイザ33に与えるサンプリングパルスのタイミングは既に調整済みであるのでそのままとし、AWG32に与えるクロック信号のタイミングを第2可変遅延回路8を調整して変化させながら測定する。そして、AWG32から出力し、D/A出力の伝送路49からデジタイザ33に入力するパルス信号が、“0”から“1”に変化する点の第2可変遅延回路8の遅延量がスキューを最小にする値となる。これが、第2考案である。

#### 【0034】

##### 【考案の効果】

以上詳細に説明したように、従来の半導体試験装置ではできなかったデジタイザ33でのスキューの調整が可能となった。つまり、この考案では、メインフレーム30からテストヘッド20への数メートル以上の伝送路を往復してデジタイザ33入力される信号とサンプリングパルスとのスキューを最小に調節できるようになった。実験によると、一定のスキュー時間±1nsに押さえ込めるようになった。

#### 【0035】

従って、オーディオ信号のテストはもとより、ビデオ信号のテストにおいても、異なる半導体試験装置でのテストデータのバラツキは無くなり、再現性が有り、信頼性が向上した。実用に際して、その技術的效果は大きい。